



Technische Lieferbedingungen (TLB), Empfehlungen und Design Rules für Leiterplatten

orgavision Export vom 12.05.2026

Precoplat GmbH – Leiterplatten Made in Germany

Precoplat Präzisions-Leiterplatten-Technik GmbH zählt zu den führenden Leiterplattenherstellern in Deutschland. Als mittelständisches Familienunternehmen fertigen wir bereits seit den 70er Jahren unbestückte Leiterplatten am Produktionsstandort Krefeld, Nordrhein-Westfalen. 100 % Made in Germany.

Auf unserem rund 25.000 m² großen Betriebsgelände produzieren täglich über 70 Mitarbeiter hoch technisiert und automatisiert mehr als 100.000 m² Leiterplatten pro Jahr. Wir beliefern international verschiedenste Branchen und können schnell und flexibel auf Kundenwünsche reagieren.

Precoplat Präzisions-Leiterplatten-Technik GmbH
Oberdießemer Str. 15 • 47805 Krefeld
Firmensitz: 47918 Tönisvorst
Tel +49 (0)2151-825 1
info@precoplat.de • www.precoplat.de

Geschäftsführung
Hildegard Völker, Andreas Brüggen & Katharina Völker
Amtsgericht Krefeld • Reg.-Nr.: HRB 1444
USt-IdNr.: DE 120 156 920
Bankverbindung: Deutsche Bank Krefeld
IBAN: DE20 3207 0080 0062 1003 00
BIC-/SWIFT-Code: DEUTDEDD320

orgavision Export vom 12.05.2026
Seite 1 von 20

Inhaltsverzeichnis

1. Produkte	4
2. Daten	4
2. Daten	4
2.1. Layoutdaten.....	4
2.2. Bohr- und Fräsdaten	4
3. Design Rule Check.....	5
3. Design Rule Check	5
3.1. HDI/Micro-Vias	5
3.2. Optionale Engineering Leitungen	5
4. Qualität	5
4.1. Qualitätsstandards.....	5
4.2. Qualitätssicherung	6
5. Elektrische Prüfung	7
5. Elektrische Prüfung.....	7
5.1. Prüfadapter/Paralleltester	7
5.2. Fingertester (Flying Probe)	7
6. Basismaterial	7
6. Basismaterial.....	7
6.1. Materialeigenschaften	8
6.2. Kupferfoliendicke Standard (vor der galvanischen Aufkupferung).....	8
6.3. Kupferkaschierte Lamine.....	8
7. Toleranzen für Verwindung und Verwölbung.....	9
8. Verfügbare Fertigungsnutzen.....	9
9. Leiterplattendicke.....	9
10. Multilayer-Design und Via-Technologien	9
10. Multilayer Lagen und Aufbauten.....	9
10.1. Symmetrie	10
10.2. Berücksichtigung physikalischer Einflussgrößen	10
10.3. Via-Schutz-Klassen und Via-in-Pad (IPC-4761)	11
11. Leiterbilderstellung.....	12
12. Lötstopmmaske	12
12. Lötstopmmaske	12
12.1. Parameter, Freistellung und Aufweitung Lötstopplacke	13
13. Galvanisches Kupferabscheidungsverfahren	13
13. Galvanisches Kupferabscheidungsverfahren	13
13.1. Aspect Ratio	14
13.2. Microfilling (Via-in-Pad)	14
13.3. Via Plugging (Harzverfüllung / VIPPO)	14
14. Oberflächenveredelung	14

15. Drucktechniken.....	15
15.1. Serialisierung.....	15
15.2. Kennzeichnungsdruck / Bestückungsdruck.....	15
15.3. Carbondruck.....	16
15.4. Abziehlack.....	16
16. Konturbearbeitung	16
16. Konturbearbeitung	16
16.1. Ritzen (Kerbfräsen).....	17
16.2. Fräsen.....	17
16.3. Tiefenfräsen- und bohren / Senkbohrungen.....	17
16.4. Fräsen und Ritzen Kombination	17
16.5. Fasen	17
16.6. Kantenmetallisierung.....	17
16.7. Semiflex.....	17
17. Bohr und Frästoleranzen.....	18
18. Lagerung	19
18.1. Luftfeuchtigkeit	19
18.2. Löttest	20
18.3. Vorkonditionierung/Trocknen.....	20
18.4. Produktspezifische Anforderungen	20

1. Produkte

Unsere Produktpalette umfasst einseitige Leiterplatten, doppelseitige Leiterplatten und durchkontaktierte Leiterplatten, Multilayer mit bis zu 24 Lagen sowie semiflexible Leiterplatten vom Prototyp bis zur (Groß-) Serie. Unsere Prozesse sind darauf ausgelegt, höchste Qualität und Zuverlässigkeit zu gewährleisten. **PRECOPLAT ist Ihr kompetenter Leiterplattenhersteller in Deutschland.**

Für mittelgroße und große Serien von bis zu 25 m² pro Auftrag bieten wir einen Eildienst an, der wie folgt, realisiert werden kann:

Typ	Eil	Ø Bearbeitungszeit
Standard* ein- und doppelseitige LP	3 Tage	~ 12 Tage
Standard* Multilayer	4 Tage	~ 15 Tage

*Standard: 1–4-lagige Leiterplatte in Hot Air Leveling Technologie, Lötstopmmaske, Material FR4, konventionelle Bohrtechniken

Unser Service beginnt mit dem technischen Support und führt bis zur Integration in das Supply Chain Management unserer Kunden. Dabei berücksichtigen wir jede einzigartige Spezifikation und individuelle Anforderung.

Wir unterscheiden im Folgenden stets in drei Leistungskategorien: Standard-, Spezial- und technisches Limit.

2. Daten

2. Daten

Unsere CAM-Mitarbeiter sorgen für die Umsetzung Ihrer Layouts bis zur fertigen Leiterplatte.

Falls Sie die Dateien in den beschriebenen Formaten nicht erzeugen können, wenden Sie sich bitte an unser Vertriebsteam.

In folgenden Formaten können Sie uns Ihre Fertigungsdaten übermitteln:

2.1. Layoutdaten

- Extended Gerber 274x (Standard)
- Gerber 274
- Eagle
- Autodesk Fusion 360
- ODB++

2.2. Bohr- und Fräsdaten

- Excellon (Standard)
- Drillfile in Sieb & Meyer Format 3000

Mechanische Zeichnungen können auch in HPGL- oder DXF-Format übermittelt werden.

3. Design Rule Check

3. Design Rule Check

Alle an uns gelieferten Daten werden durch einen Standard Design Rule Check gemäß IPC-2211 sowie kundenspezifische DFM-Funktionen auf ihre Herstellbarkeit geprüft. Vias und deren Schutz- bzw. Verschlussarten behandeln wir standardmäßig nach IPC-4761. Eine Übersicht unserer Verfahren (Tenting, Plugging, Filling & Capping) finden Sie in Kapitel 10.

Zusätzliche Leistungen (z. B. Impedanzkontrolle, Layout-/Datenänderungen, Reverse Engineering) erfolgen auf Wunsch und ausschließlich nach gesonderter Beauftragung.

3.1. HDI/Micro-Vias

Für Micro-Vias (HDI) orientieren wir uns an **IPC-2221 / IPC-2226** sowie den **ZVEI-Design-Guidelines**. Für den Design Rule Check gelten folgende Richtwerte:

- Restring an Micro-Vias: $\geq 100 \mu\text{m}$ (Standard), $\geq 75 \mu\text{m}$ (Spezial).
- Aspect Ratio Micro-Vias (Bohrtiefe \div Lochdurchmesser): $\leq 1 : 1$.
Beispiel: Loch- \varnothing 100 μm , Bohrtiefe 63 μm \rightarrow AR = 0,63 : 1.

Hinweis: Kupferfoliendicke gemäß [6.2. Kupferfoliendicke Standard \(vor der galvanischen Aufkupferung\)](#), Abweichungen sind nach vorheriger Abstimmung möglich. Bei BGA / CSP / Flip-Chip / COF berücksichtigen wir dies im Design Rule Check und in der Datenprüfung (u. a. Pad-Geometrie, Via-in-Pad, Restring, Lötstopp, Abstände).

3.2. Optionale Engineering Leitungen

Softwaregestützte Impedanzkontrolle (= vertiefte Kontrolle): Erstellung eines Polar-Berichts (Berechnung/Validierung) auf Basis des freigegebenen Lagenaufbaus; Zielwerte und Toleranzen gemäß Kundenangabe.

Reverse Engineering (Auslesen eingesandter Leiterplatten): Aufnahme des Lagenaufbaus, Erfassung von Leiterbild/Bohrdaten/Netzinformationen und Rekonstruktion CAM-fähiger Fertigungsdaten (z. B. Gerber/ODB++); Umsetzung nur bei vom Auftraggeber geklärten Nutzungsrechten.

4. Qualität

4.1. Qualitätsstandards

Wir fertigen **unbestückte Leiterplatten gemäß IPC-6012 (inkl. Addendum - Space and Military / Medical (auf Anfrage)), Klasse 2 oder Klasse 3. Abnahme erfolgt gemäß IPC-A-600, Klasse 2 oder Klasse 3.**

Zusätzlich unterstützen wir auf Anforderung folgende Normen/Spezifikationen:

- Lötstopplack (Material/Qualifikation): **IPC-SM-840**
- Endoberfläche (ENIG): **IPC-4552**
- Design-Grundlagen (Kundenlayout): **IPC-2221**
- Via-Schutzarten (Filling & Capping): **IPC-4761**
- HDI/Micro-Vias Design (Kundenlayout): **IPC-2226**

- **PERFAG** (europäische Spezifikation für Liefervereinbarungen & Qualitätslevel)
 - PERFAG 1 – einseitig
 - PERFAG 2 – doppelseitig
 - PERFAG 3 – Multilayer
- **Bahnanwendungen:** Für geeignete Materialsysteme können Prüfberichte nach **EN 45545-2** zur Verfügung gestellt werden.
- **Semiflex** (FR4 abgedünnt, „flex-to-install“): Fertigung als starre Leiterplatte gemäß IPC-6012; Abnahme gemäß IPC-A-600; kein IPC-6013-Produkt.

Jeweils gültige Revision zum Datum der Auftragsbestätigung.

4.2. Qualitätssicherung

Wir erfüllen die UL®-Standards sowie die RoHS-Richtlinien und sind nach DIN EN ISO 9001 zertifiziert. Produktionsparameter, Produktionsbedingungen und Rohstoffe werden mit kalibrierten Messgeräten bewertet und registriert.

Die Leiterplatten werden während des Produktionsverfahrens folgenden Tests unterzogen, um eine einwandfreie Qualität sicherzustellen:

zerstörungsfreie Prüfung

Bei optischen Prüfungen nutzen wir IPC-A-600 als Bildreferenz; die Akzeptanz richtet sich nach der bestellten Klasse (Klasse 2/3). AOI Mindeststruktur: 25 µ. Spezifische Prüfverfahren können bei Bedarf jederzeit auch an andere Spezifikationen angepasst werden.

destruktives Testen

- Schliffbilderstellung,
- Adhäsionstest,
- Delaminationstest (Multilayer werden regelmäßig thermischen Schocktests unterzogen).

Dokumentation der Parameter

Automatische Erfassung und Speicherung folgender Parameter über mindestens 10 Jahre:

- Produktionsparameter,
- qualitätsgebundene Ergebnisse,
- Zeiterfassung, einschließlich der jeweiligen Mitarbeiter.

X-Ray

Röntgenfluoreszenzspektrometrie zur Lagenregistrierung und Schichtdickenmessung.

AQAP

AQAP-2110-Anforderungen sind intern umgesetzt. Bei AQAP-pflichtigen Projekten planen wir die amtliche Güteprüfung (GQA) und beantragen die BAAINBw-Bestätigung projektbezogen.

5. Elektrische Prüfung

5. Elektrische Prüfung

Bei der elektrischen Endprüfung werden Leiterplatten auf Unterbrechungen und Kurzschlüsse geprüft.

Die Gerberdaten des Auftraggebers werden in unser Prüfsystem geladen, woraus eine Netzliste generiert wird, die alle festgestellten Prüfpunkte enthält. Diese Testsysteme testen standardmäßig nach den folgenden Kriterien:

- auf Unterbrechung, falls > 10 Ohm Netzwerkwiderstand ermittelt werden
- auf Schluss, falls Widerstände < 10 MegOhm zwischen unabhängigen Nebenschlüssen erkannt werden

Folgende Testsysteme setzen wir ein:

5.1. Prüfadapter/Paralleltester

Anhand des Prüfprogramms werden Adapterplatten gebohrt und mit Prüfnadeln bestückt, welche auf die betreffenden Kontaktstellen ausgelenkt werden, um alle Endpunkte des elektronischen Netzes für den Prüfungsvorgang auf Schluss und Unterbrechung gleichzeitig zu erfassen. Parallel dazu werden alle Netze gegeneinander geprüft. Das Testergebnis wird anschließend mit der elektrischen Netzliste verglichen.

5.2. Fingertester (Flying Probe)

Alternativ kann der elektrische Test mit Hilfe eines Fingertesters durchgeführt werden. Die Kontaktpunkte der Leiterplatte werden mit Kontaktnadeln sequentiell anhand der zugrunde liegenden Netzliste kontaktiert und auf Schluss und Unterbrechung getestet. Dabei hängen Messnadeln an mechanisch beweglichen „Fingern“, welche die zuvor programmierten Testpositionen anfahren.

Bei allen Testverfahren werden die Leiterplatten, auf denen ein Kurzschluss oder eine Unterbrechung festgestellt wurde, automatisch von den eindeutig fehlerfrei geprüften Leiterplatten getrennt. Für fehlerhafte bzw. nicht eindeutig geprüfte Leiterplatten wird ein Fehlerprotokoll mit genauer Fehlerposition erstellt. Nach erfolgreicher Fehlerbehebung wird die Leiterplatte erneut einem vollständigen Prüfdurchlauf unterzogen.

6. Basismaterial

6. Basismaterial

Das CAF (Conductive Anodic Filament) beständige FR4 Basismaterial gehört dauerhaft zu unserem Lagerbestand.

- in den Stärken von 0,5 bis 3,2 mm
- Kriechstromfestigkeitswerten (CTI) bis zu 600 Volt
- TG-Wert bis 180 Grad Celsius

Direkt verfügbar:

- **FR4 TG 135°-140°; CTI 175-249 (Standard)**
- FR4 TG 150°
- FR4 TG 180°
- FR4 CTI 250-399 PLC 2
- FR4 CTI 400-599 PLC 1

- FR4 CTI ≥ 600 PLC 0
- CEM1
- CEM3

Für unser FR4 Basismaterial liegen Prüfberichte nach EN 45545-2 (bis HL3) für Bahnanwendungen vor. Dank hochwertiger FR4-Qualitäten ist dabei je nach Anwendung nicht in jedem Fall ein halogenfreies FR4.1-Material erforderlich. Weitere Basismaterialien, beispielsweise FR4.1, beschaffen wir auf Anfrage in verschiedenen Stärken.

6.1. Materialeigenschaften

Die folgenden Werte gelten für eine Materialstärke ab 0,5 mm:

Laminat	NEMA	IPC-4101	Tg C°	CTE < Tg ppm/K	CTE > Tg ppm/K	Zersetzungstemperatur C°	T260 min	T288 min	
epoxy-paper-glass	CEM1	10	100	-	-	-			
epoxy-glass	FR4.0	21	135	70	280	310	20	2	Standard
epoxy-glass	FR4.0	99	150	60	250	350	60	20	hoher Tg anorganische Füllstoffe
epoxy-glass	FR4.0	101	170	60	230	350	60	20	höherer Tg anorganische Füllstoffe
epoxy-glass	FR4.1	128	150	50	230	340	60	20	halogenfrei anorganische Füllstoffe
epoxy-glass	FR4.1	130	170	50	230	350	60	20	höherer Tg halogenfrei anorganische Füllstoffe

6.2. Kupferfoliendicke Standard (vor der galvanischen Aufkupferung)

18 µ	35 µ	50 µ	70 µ	85 µ	105 µ
------	------	------	------	------	-------

6.3. Kupferkaschierte Lamine

FR4 in mm		FR4 CTI > 400	CEM 1 (auf Anfrage)	CEM 3 (auf Anfrage)
0,10	zzgl. Cu	1,00	1,00	1,55
0,20	zzgl. Cu			
0,25	zzgl. Cu			
0,36	zzgl. Cu			
0,41	zzgl. Cu			
0,50	zzgl. Cu			
0,71	zzgl. Cu	1,55	1,55	
1,00	inkl. Cu			
1,08	zzgl. Cu			

FR4 in mm		FR4 CTI > 400	CEM 1 (auf Anfrage)	CEM 3 (auf Anfrage)
1,55	inkl. Cu			
2,00	inkl. Cu			
2,40	inkl. Cu			
3,00	inkl. Cu			

7. Toleranzen für Verwindung und Verwölbung

Einseitig	Doppelseitig	Multilayer
1,5 %	1 %	1 %

Bitte beachten Sie, dass sich der Verwölbungswert überdurchschnittlich erhöht, wenn die Kupferverteilung auf der Leiterplatte lokal sehr unterschiedlich ist. Speziell bei Multilayern sollte direkt zu Beginn der Layout-Entwicklung ein symmetrischer Lagenaufbau geplant werden. Bei asymmetrischen Materialaufbauten können durch die unterschiedlichen Spannungen der Glasgewebequalitäten höhere Verwindungs- und Verwölbungswerte entstehen.

8. Verfügbare Fertigungsnutzen

Um wirtschaftlich und nachhaltig herzustellen, prüfen wir die bestmögliche Auslastung unserer Fertigungsnutzen und gleichen diese mit den am häufigsten verwendeten Leiterplattengrößen ab, um unnötigen Verschnitt zu vermeiden.

	Einseitige Leiterplatten mm		Doppelseitige Leiterplatten mm		4-lagige LP Standard Aufbau MassLam mm		4-lagige LP mit über 6 Prepregs und 6-24 Lagen LP PinLam mm	
	Länge	Breite	Länge	Breite	Länge	Breite	Länge	Breite
Panelgröße 1	618	512	614	512	614	512	600	499
Panelgröße 2	Nicht verfügbar		584	512	584	512	Nicht verfügbar	
Panelgröße 3	584	436	Nicht verfügbar		Nicht verfügbar		Nicht verfügbar	

9. Leiterplattendicke

Wir können unterschiedliche Leiterplattendicken unabhängig von der Anzahl der Lagen verarbeiten.

Die Vorlaufzeiten für spezielle Materialdicken können variieren, falls das gewünschte Material nicht vorrätig ist.

	Standard mm	Spezial mm	Technisches Limit Ein- und Doppelseitig mm	Technisches Limit Multilayer mm
Min. Paneldicke	1,55	0,8	0,4	0,4
Max. Paneldicke	1,55	2,4	3,2	3,2

10. Multilayer-Design und Via-Technologien

10. Multilayer Lagen und Aufbauten

Multilayer bestehen aus Kupferlagen, Prepregs und Dünnlaminaten. Diese können völlig unterschiedlich kombiniert werden, sodass sich eine unendliche Vielfalt an Aufbaumöglichkeiten ergibt. Wir fertigen Multilayer mit bis zu 24 Lagen. Die Lagen können anschließend über Durchkontaktierungen zwischen den Außenlagen (Vias), von einer Außenlage zu einer Innenlage (Blind Vias bzw. Sacklochbohrungen) oder zwischen den Innenlagen (Buried Vias) miteinander verbunden.

Die am häufigsten verwendeten Lagenaufbauten finden Sie auf unserer Website im Download Center.

Natürlich können Sie sich bei Fragen auch gerne direkt an unser Vertriebsteam wenden. Spezielle Lagenaufbauten senden wir Ihnen gerne auf Anfrage zu.

Folgende Grundlagen sollten bei der Erstellung eines Multilayer-Layouts beachtet werden:

10.1. Symmetrie

Bereits beim ersten Entwurf sollte ein symmetrischer Materialaufbau geplant werden, der identische Dünnlamine und Prepregtypen in gleicher Reihenfolge berücksichtigt. Dadurch werden unter anderem Verwindung und Verwölbung (Spannungen, die durch thermische und mechanische Einwirkung während des Bearbeitungsprozesses und der Nutzung freigesetzt werden) deutlich reduziert.

10.2. Berücksichtigung physikalischer Einflussgrößen

Für einige spezielle Designs ist der materialtechnische Aufbau (Stack Up) eines Multilayers besonders entscheidend. Welcher Lagenaufbau gewählt werden sollte, hängt von verschiedenen physikalischen Einflussgrößen ab.

Die wichtigsten Parameter sind:

- Durchschlagsfestigkeit der Lagen zueinander
- Permittivität ϵ (dielektrische Leitfähigkeit) / „Dk“ des Basismaterials (auch Dielektrizitätskonstante) mit Verlustfaktor „Df“

Durchschlagsfestigkeit

Für FR4-Basismaterial von 0,5 mm geben Laminathersteller eine Durchschlagsfestigkeit von 800 V - 1200 V/25 μ an. Jedoch zeigt sich in der Praxis, dass die tatsächlich verbleibende Isolationsschicht zwischen den Layern geringer ist, da Prepregs sich beim Verpressen in die Kupferstrukturen einbetten. Dünnlamine sind empfehlenswert, da deren Dickenveränderung nach dem Verpressen vernachlässigbar ist.

Wir machen darauf aufmerksam, dass sich die Testverfahren zur Bestimmung der Durchschlagsfestigkeit nach IPC-Norm auf unkaschierte Materialien beziehen. Die Durchschlagsfestigkeit eines kompletten Multilayers wird dabei nicht berücksichtigt. Daher empfehlen wir einen ausreichenden Sicherheitsabschlag.

Wir raten zu Beginn der Layoutgestaltung Ihres Multilayers, sich an den Bestimmungen der IEC, VDE und UL® Standards zu orientieren, die Vorgaben für ausreichende Isolation zwischen benachbarten Leitern enthalten.

Permittivität ϵ

Die Dicke und Qualität des Dielektrikums (Prepreg) zwischen den Kupferlagen beeinflussen die Kapazität und Impedanz der Leiterplatte.

Physikalische Werte der gängigen FR4-Prepregs:

Prepreg Typ	Dicke in μ (vor verpressen)	Dicke in μ (nach verpressen)	Harzgehalt	Toleranz in %	1 MHz		1 GHz		5 GHz		10 GHz	
					Dk	Df	Dk	Df	Dk	Df	Dk	Df
1080	ca. 75	ca. 70	Ø 62 %	+/- 3	3,90	0,017	3,76	0,019	3,72	0,020	3,69	0,020
2116	ca. 120	ca. 115	Ø 50 %	+/- 3	4,30	0,016	4,18	0,018	4,15	0,019	4,12	0,019
7628	ca. 190	ca. 180	Ø 43 %	+/- 3	4,60	0,017	4,36	0,018	4,34	0,019	4,31	0,019

Physikalische Werte der gängigen FR4-Dünnlamine:

Anzahl Prepregs	Dicke in μ	Harzgehalt	Toleranz in μ	1 MHz		1 GHz		5 GHz		10 GHz	
				Dk	Df	Dk	Df	Dk	Df	Dk	Df
1 x 2116	110	\emptyset 44,5 %	+/- 18	3,93	0,020	4,11	0,017	4,03	0,018	3,97	0,018
1 x 7628	200	\emptyset 44,0 %	+/- 25	4,13	0,019	4,12	0,017	3,96	0,018	3,98	0,018
2 x 7628	360	\emptyset 39,5 %	+/- 38	4,70	0,017	4,21	0,017	4,05	0,018	4,09	0,018
2 x 7628	410	\emptyset 42,5 %	+/- 38	4,40	0,019	4,12	0,017	3,96	0,018	3,98	0,018
3 x 7628	500	\emptyset 39,5 %	+/- 50	4,70	0,017	4,25	0,017	4,10	0,018	4,14	0,018
4 x 7628	710	\emptyset 39,0 %	+/- 50	4,70	0,017	4,25	0,018	4,10	0,019	4,14	0,019

Temperatur und Feuchtigkeitsgehalt

Bitte planen Sie folgende Toleranzen ein:

- Der Dk Wert steigt um ca. 17% nach Feuchtigkeitsaufnahme für typische Standard FR4.
- Der Df Wert steigt um ca. 12% nach Feuchtigkeitsaufnahme für typische Standard FR4.

Beachten Sie, dass auch thermischer Stress, wie z.B. durch Lötvorgänge und thermische Zyklen, welche die Leiterplatte während der Fertigung und Nutzung erfährt, Auswirkungen auf die elektrischen und mechanischen Eigenschaften des Materials haben kann. Eine erhöhte Temperatur führt zur thermischen Ausdehnung, was zu mechanischen Spannungen und potenziellen Defekten wie Delamination oder Mikrorissen führen kann. Diese Effekte können die Zuverlässigkeit und Langlebigkeit der Leiterplatte beeinträchtigen. Daher sollten bei der Planung des Multilayer-Aufbaus auch die thermischen Belastungen berücksichtigt werden, denen die Leiterplatte im Einsatz ausgesetzt sein wird.

Ein durchdachter Lagenaufbau und die Wahl von geeigneten Materialien können helfen, thermische Spannungen zu minimieren und die Lebensdauer der Leiterplatte zu verlängern:

- **Hochtemperaturbeständige Materialien:** Hochwertige Prepregs und Lamine von den besten Herstellern halten thermischen Belastungen besser stand.
- **Verstärkte Prepregs:** Prepregs mit hohem Glasanteil bieten bessere mechanische Eigenschaften und höhere thermische Stabilität.
- **Symmetrischer Aufbau:** Ein symmetrischer Lagenaufbau hilft, mechanische Spannungen gleichmäßig zu verteilen und Verwindungen zu minimieren.
- **Optimierte Schichtdicken:** Planen Sie die Dicken der Prepregs und Lamine so, dass die thermische Ausdehnung minimiert wird.
- **Ausreichende Abstände:** Stellen Sie sicher, dass ausreichend Platz zwischen den Kupferlagen vorhanden ist, um thermische Ausdehnung aufzunehmen und Delamination zu vermeiden.

10.3. Via-Schutz-Klassen und Via-in-Pad (IPC-4761)

Die Wahl der richtigen Via-Verschluss-technik ist entscheidend für die Zuverlässigkeit beim Löten und die Packungsdichte. Wir fertigen nach IPC 4761:

- **Plugging (Typ IIIa):** Standardverfahren zum Schutz der Vias. Bis zu einem Durchmesser von 0,45 mm erfolgt dies prozessoptimiert durch Zudrücken mit Lack (**siehe Details in Kap. 12**),
- **Via-in-Pad / VIPPO (Typ VII – Filled & Capped):** Für High-End-Anwendungen (z. B. BGA) setzen wir auf das vollständige Verfüllen und anschließende Übermetallisieren.
 - **Microfilling (Cu):** Kupferverfüllung für Blind Vias ($\leq 0,15$ mm, AR 1:1, **siehe Kap. 13.2**),

- **Harzverfüllung:** Verschluss für Durchgangsbohrungen (0,1 – 2,0 mm, AR bis 10, **siehe Kap. 13.3.**).

11. Leiterbilderstellung

Das lithographische Limit bei der Auflösung von Leiterbildern (Track/Gap) ist bei den bei uns eingesetzten Belichtungssystemen die Dicke des zu belichtenden Trockenresists. Hat dieser eine Stärke von 50 µ, so ist die maximal feinste mögliche Auflösung ebenfalls 50 µ. Weiterhin limitierend wirken physikalische Prozesse in den nachfolgenden Galvanisier- und Ätzprozessen. Je höher die Kupferendstärke, desto höher ist demzufolge der Unterätzungsgrad an den Flanken, der in den Belichtungsparametern kompensiert werden muss.

Grundsätzlich ist die Reproduzierbarkeit eines Layouts abhängig von der Gestaltung desselbigen und von der Stärke des Kupferaufbaus. Zu beachten sind auch die technischen Restriktionen der Lötstopplack-Erstellung. Hier sind bei der Layouterstellung und -bearbeitung notwendige Fragen hinsichtlich der Überdeckung, Unterdeckung oder gar Freistellung der Leiterflanken und Isolationsflächen.

Endkupferstärke 35 µ	Standard µ		Spezial µ		Technisches Limit µ	
	Außenlagen	Innenlagen	Außenlagen	Innenlagen	Außenlagen	Innenlagen
Leiterbahnbreite	120	120	100	100	60	60
Leiterbahnabstand	120	120	100	100	70	70
Restring	125	150	100	120	70	80
Registrationsgenauigkeit	+/- 20 µ		+/- 15 µ		+/- 12 µ	
Endkupferstärke 70 µ	Standard µ		Spezial µ		Technisches Limit µ	
	Außenlagen	Innenlagen	Außenlagen	Innenlagen	Außenlagen	Innenlagen
Leiterbahnbreite	150	150	125	125	100	100
Leiterbahnabstand	170	170	140	140	120	120
Restring	180	200	150	170	120	120
Registrationsgenauigkeit	+/- 20 µ		+/- 15 µ		+/- 12 µ	
Endkupferstärke 105 µ	Standard µ		Spezial µ		Technisches Limit µ	
	Außenlagen	Innenlagen	Außenlagen	Innenlagen	Außenlagen	Innenlagen
Leiterbahnbreite	200	200	170	170	130	130
Leiterbahnabstand	250	250	225	225	200	200
Restring	250	275	200	225	150	175
Registrationsgenauigkeit	+/- 20 µ		+/- 15 µ		+/- 12 µ	
Endkupferstärke 140 µ	Standard µ		Spezial µ		Technisches Limit µ	
	Außenlagen	Innenlagen	Außenlagen	Innenlagen	Außenlagen	Innenlagen
Leiterbahnbreite	300	300	250	250	230	230
Leiterbahnabstand	400	400	360	360	320	320
Restring	300	300	270	270	250	250
Registrationsgenauigkeit	+/- 20 µ		+/- 15 µ		+/- 12 µ	

12. Lötstopmmaske

12. Lötstopmmaske

Beim fototechnischen Lötstopplackverfahren wird die Oberfläche in ein fotosensitives Polymer eingebettet. Die chemische Vernetzung der Polymere wird durch die definierte Belichtung erreicht; alle nicht belichteten Zonen werden selbst im Micrometerbereich konturenscharf herausentwickelt. Um die geforderten elektro-physikalischen Eigenschaften des Lackes zu erreichen, erfolgt anschließend ein UV-

Bump, quasi eine „Verglasung“ der Lackoberfläche zwecks Reduzierung der ionischen Kontamination, und die thermische Endaushärtung.

Bei der Lötstopplackbeschichtung können auf Wunsch die Lötäugen der Viabohrungen zgedrückt werden. Das Verschließen der Viabohrungen (Via-Plugging) kann hiermit allerdings nicht garantiert werden (ungeeignet für Vakuumtester).

Ist ein Verschließen der Via Bohrung jedoch unbedingt erforderlich, so erfolgt dies bis zu einem Lochdurchmesser von 0,45 mm mit Standardlacken. Bei Anforderungen an die Planarität (Via-in-Pad) setzen wir auf das Auffüllen mit Kupfer (**Microfilling, Kap. 13.2.**) oder den Verschluss mittels **Harzverfüllung (Kap. 13.3.)**.

12.1. Parameter, Freistellung und Aufweitung Lötstopplacke

Wir verwenden ausschließlich Lötstopplacke auf Epoxydharzbasis, da diese zusätzlich die Kriechstromfestigkeit auf der Oberfläche der Leiterplatten verbessern.

Werte gelten für grünen Lötstopplack	Standard μ	Spezial μ	Technisches Limit μ
umlfd. Aufweitung der Lötstopplackmaske	70	50	30
Minimale Stegbreite	80	60	50
Min. Abstand SMD zu SMD*	200	170	150
Registrationsgenauigkeit grün/andere	+/- 20/40 μ	+/- 15/35 μ	+/- 12/30 μ

*Minimaler Abstand zwischen lötstopplack-freien Flächen, um einen Lötstopplacksteg reproduzieren zu können

Bei der Erstellung von Lötstopplackmasken sind Lötstopplack-Freistellungen im Verhältnis 1:1 zu den Pads, also ohne Aufweitung (Oversizing) zu berücksichtigen. Die für die Fertigung erforderliche Aufweitung berechnen wir selbst.

Folgende Lötstopplackfarben sind möglich:

- **grün (Standard)**
- blau
- schwarz
- rot
- weiß

TOP/BOTTOM können unterschiedlich lackiert werden.

13. Galvanisches Kupferabscheidungsverfahren

13. Galvanisches Kupferabscheidungsverfahren

Die Dicke der Aufkupferung ist abhängig von der Expositionszeit und der Stromstärke im Galvanikbad.

Grundsätzlich wird während des Prozesses eine Abscheidung von 20 μ bis 25 μ Kupfer auf der Oberfläche und in den durchzukontaktierenden Bohrungen aufgebracht. Dickere Kupferschichten sind durch Anpassung der Prozessparameter oder zusätzlicher galvanischer Prozesse möglich.

Um eine gleichmäßige Kupferabscheidung erzielen zu können, sollte beim Entwurf des Layouts berücksichtigt werden, dass Leiterbahnstrukturen entweder möglichst gar nicht in Masse oder vollständig in Masse eingebettet sind. Die Leiterbahnführungen bzw. Pad-Positionierungen sollten mittig innerhalb einer Masse-Einbettung und in gleichen Abständen zueinander erfolgen. Sind Kupferstrukturen im Layout ungleichmäßig verteilt, so kommt es in den „massearmen“ Regionen zu einer tendenziellen Überabscheidung. Diese führt zu einer Verminderung der Leiterbahnabstände bis zum elektrischen Ausfall durch Kurzschluss, da die Leiterbahnen regelrecht zusammenwachsen. Für Micro-Vias (unbefüllt): Metallisierung in der Bohrung $\geq 12 \mu$ (Richtwert).

Kupferfolie μ	Elektrolytische Kupferabscheidung	Endkupferdicke
18 μ	ca. 20 μ	ca. 35 μ
35 μ		ca. 55 μ
50 μ		ca. 70 μ
70 μ		ca. 90 μ
85 μ		ca. 105 μ
105 μ		ca. 125 μ

13.1. Aspect Ratio

Bei Durchgangsbohrungen und Buried Vias wird das Verhältnis „Materialstärke zu Lochdurchmesser“ definiert. Es wird wie folgt ermittelt: Materialstärke dividiert durch den kleinsten Lochdurchmesser.

Beispiel: 1,6 mm Materialstärke dividiert durch 0,2 mm Lochdurchmesser = 8

Standard	Spezial	Technisches Limit
8	10	> 10

Dieser Wert ist für die Herstellbarkeit der Leiterplatte sehr entscheidend, denn je größer das Aspect Ratio, desto aufwändiger ist es eine Metallisierung in den Löchern herzustellen.

Für Blind Vias und Micro-Vias ergibt sich die Aspect-Ratio als Bohrtiefe (Layerabstand) ÷ Lochdurchmesser; Grenzwert $\leq 1 : 1$.

13.2. Microfilling (Via-in-Pad)

Mit dieser Technologie wird das gleichzeitige Füllen von blind vias sowie das Verstärken der Durchgangsbohrungen ermöglicht.

Bei HDI-Schaltungen verbleibt meist nicht ausreichend Raum, um die Signale per durchgehenden Bohrungen auf verschiedene Lagen zu führen. Eine platzsparende Lösung ist Via-in-Pad: Blind Vias werden direkt in SMD-Pads positioniert und nach dem Bohren mit Kupfer verfüllt; die planarisierte Oberfläche unterstützt den Lötprozess. Beispiel (Fine-Pitch): BGA/CSP/Flip-Chip-Zonen mit Via-in-Pad für kurze Übergänge und gleichmäßige Pastenverteilung. Aufgrund dieser Verfüllung fließt eine nur sehr geringe Lotmenge in die verbleibende „Oberflächendelle“ (dimple) und ermöglicht eine bestimmungsgemäße Lötstelle. Zielwert für die Oberflächendelle (dimple): $\leq 25 \mu$. (Richtwert nach ZVEI). Der maximale Bohrdurchmesser beträgt 0,15 mm.

13.3. Via Plugging (Harzverfüllung / VIPPO)

Das Verschließen sowohl von durchgehenden als auch von blind vias mit Harz verbunden mit der anschließenden Übermetallisierung ist eine Alternative zum Microfilling, jedoch ist dieses Verfahren prozesstechnisch aufwändiger. Die Harzverfüllung mit anschließender Übermetallisierung entspricht gefüllten und übermetallisierten Via-in-Pad-Lösungen (VIPPO / IPC-4761 Type VII).

Die Vorteile gegenüber dem Microfilling sind, dass auch durchgehende Bohrungen von 0,1 mm bis zu 2 mm verschlossen werden können. Die Materialstärke darf nicht kleiner als der Bohrdurchmesser sein.

14. Oberflächenveredelung

Derzeitig können wir für Sie die folgenden Endoberflächen realisieren:

- Heißluftverzinnung bleifrei (HAL) – Sn / 0,3 Ag / 0,7 Cu / 0,02 Ni
- Chemisch Nickel-Gold (ENIG) – 99,9 Au
- Chemisch Nickel-Palladium-Gold (ENEPIG)

- Chemisch Zinn (chem. Sn)
- Chemisch Silber (chem. Ag)
- Organischer Anlaufschutz (OSP)
- Galvanisch Nickel-Gold (Hart- und Bondgold) – hart 99,8 Au / soft 99,99 Au

Eigenschaften der verschiedenen Endoberflächen:

	HAL	ENIG	ENEPIG	chem. Sn	chem. Ag	OSP	galv. Au
Schichtstärke μ	< 10	0,05-0,12 Au 4-8 Ni	0,03-0,10 Au 3-7 Ni 0,08-0,30 Pd	0,80-1,20	0,15-0,45	0,02-0,06	0,80-5,00
Planarität	+	++	++	++	++	++	++
Lagerfähigkeit bei stabilen Konditionen	< 12 Monate	< 12 Monate	< 12 Monate	< 6 Monate	< 6 Monate	< 6 Monate	< 12 Monate
Mehrfachlötbarkeit	++	++	++	bedingt*	+	o	ja (soft)
Reaktivierbar	ja	bedingt*	bedingt*	ja	nein	ja	nein
Al-Draht-Bonden	nein	ja	ja	nein	bedingt*	nein	ja (soft)
Au-Draht-Bonden	nein	nein	nein	nein	nein	nein	ja (soft)
Drucktastenkontakt	nein	ja	ja	nein	nein	nein	ja
Einpresstechnik	ja	nein	nein	ja	ja	nein	nein

*nur eingeschränkt möglich unter festgelegten Bedingungen.

15. Drucktechniken

15.1. Serialisierung

Um eine eindeutige Identifizierbarkeit von Leiterplatten zu gewährleisten, ist innerhalb einer Serie auch eine individualisierte Kennzeichnung der einzelnen Leiterplatten wählbar. Diese Kennzeichnung wird automatisiert (Direktbelichtung der Strukturen oder Bestückungsdruck) in weißer Farbe aufgebracht und kann sich aus statischen Informationen (bspw. Produktionsdatierung, Datecode, etc.) und fortlaufenden Nummerierungen in chronologischer Abfolge zusammensetzen und sich in folgenden Formaten maschinenlesbar darstellen lassen:

- 1D & 2D Barcodes, Data Matrix, QR-Codes.

15.2. Kennzeichnungsdruck / Bestückungsdruck

Um Unterbrechungen oder Verschleierungen innerhalb des Schriftbildes zu vermeiden, sollte die Strichstärke des Kennzeichnungsdrucks nicht unter 130 μ und die Schrifthöhe nicht kleiner als 1000 μ gewählt werden. Die Lötflächen sollten mindestens 250 μ umlaufend vom Kennzeichnungsdruck freigestellt werden, da anderenfalls ein unsauberes Druckbild und ein Andruck der Lötflächen möglich ist.

	Standard μ	Spezial μ	Technisches Limit μ
Abstand Druckbild zu Pad	200	150	100
Abstand Druckbild zu Löchern	200	150	100
Strichstärke	130	100	75
Schriftgröße	1000	750	500
Registrationsgenauigkeit	+/- 200 μ	+/- 150 μ	+/- 70 μ

15.3. Carbondruck

	Standard μ	Spezial μ	Technisches Limit μ
Abstand der Carbonflächen zueinander	500	400	300
Mindestbreite der Carbonfläche	700	600	500
Registrationsgenauigkeit	+/- 250 μ	+/- 200 μ	+/- 150 μ

15.4. Abziehlack

Die Schichtstärke des Abziehlacks beträgt ca. 500 μ .

Löcher, die mit Abziehlack überspannt werden, sollten eine Größe von 1,8 mm nicht überschreiten.

	Standard	Spezial	Technisches Limit
Maximal überspannbarer Durchmesser	1,8 mm	2,0 mm	2,6 mm*
Minimale Breite	6 mm	5 mm	4 mm
Registrationsgenauigkeit	+/- 300 μ	+/- 250 μ	+/- 200 μ

*Das vollständige überspannen des Loches kann nicht garantiert werden.

16. Konturbearbeitung

16. Konturbearbeitung

Wir bohren, fräsen und ritzen Ihre Leiterplatten nach Ihren Angaben und Wünschen. Die Art der mechanischen Bearbeitung ist abhängig von Ihren individuellen Spezifikationen. In unserem Bohr- und Fräszentrum arbeiten wir mit modernen vollautomatischen CNC-Bohr- und Fräsmaschinen. Diese Techniken ermöglichen eine Bearbeitung innerhalb der Norm DIN 7168 „mittel“ (mittlere Genauigkeit) und „fein“ (präzise Genauigkeit).

Sind nicht-durchkontaktierte Bohrungen in einem Lötauge positioniert, muss dieses mindestens 500 μ umlaufend größer sein, als die Bohrung. Anderenfalls können Lötäugen entfernt sein.

Ist bei durchkontaktierten Leiterplatten keine Angaben über die Art der Bohrungen vorhanden, legen wir nach bestem Wissen selbständig fest, welche Bohrungen durchkontaktiert und welche nicht durchkontaktiert werden.

Wenn Bohr- oder Maßpläne beigelegt werden, die nicht mit den Bohrprogrammen oder der Kontur gemäß der Layoutdaten übereinstimmen, sind für die Fertigung in jedem Falle die Bohrprogramme und die Kontur gemäß der Layoutdaten verbindlich.

Sofern nicht anders angegeben, ist für die Kontur der Leiterplatte der Mittelpunkt (= Mitte Vektor) der Konturlinien in den Layoutdaten maßgeblich. Werden Schlitz Fräsungen (Slots) durch rechteckige Konturen dargestellt, gehen wir davon aus, dass der Eckradius enthalten ist.

Abhängig von der Größe der Leiterplatten werden folgende Toleranzen angegeben (andere Toleranzwerte sind nach Vereinbarung möglich):

Format mm	Mittel mm	Fein mm
0,5-6	+/- 0,10	+/- 0,05
6-30	+/- 0,20	+/- 0,10
30-120	+/- 0,30	+/- 0,15
120-400	+/- 0,50	+/- 0,20
400-1.000	+/- 0,80	+/- 0,30

16.1. Ritzen (Kerbfräsen)

Der Winkel der Ritzmesser beträgt 15°. Daher ist entlang der Konturen, die geritzt werden, ein Abstand der Leiterbahnen zur Kontur gemäß der folgenden Tabelle zu berücksichtigen:

Materialstärke mm	Abstand Leiterbahnen zur Kontur mm
bis 1,00	0,45
1,10 - 1,60	0,50
1,70 - 2,00	0,70
2,10 - 2,50	0,80
2,60 - 3,20	1,00

Falls für die Kontur keine Plus toleranz zulässig ist, muss die gewünschte Minustoleranz zu den oben genannten Werten „Abstand Leiterbahnen zur Kontur“ hinzuaddiert werden.

Beispiel: Leiterplattenformat 100 mm x 100 mm +0,00/-0,30 mm

Abstand Leiterbahnen zur Kontur bei 1,6 mm Materialstärke: 0,5 mm + 0,15 mm = 0,65 mm

16.2. Fräsen

Alternativ zum Ritzen bieten wir Konturfräsungen an. Vorteil gegenüber dem Ritzen ist, dass die Außenkonturen dabei in den speziellsten Formen und Ausbrüchen wie beispielsweise rund, oval, Wellenform, zickzack etc. bearbeitet werden.

Beim Fräsen ist zu beachten:

- Soll die Lieferung im Fräsnutzen erfolgen, ist im Standard ein Abstand der Leiterplatten zueinander von 2,0 mm ausreichend, um Frässtege zwischen den Einzelplatten platzieren zu können.
- Soll die Lieferung nicht im Nutzen erfolgen, muss ein Abstand von mindestens 8,0 mm von Platine zu Platine berücksichtigt werden, um die Leiterplatten letztlich vereinzeln zu können.

16.3. Tiefenfräsen- und bohren / Senkbohrungen

Das Fräsen und Bohren mit definierter Z-Achse wird gemäß Ihren Zeichnungsvorgaben ausgeführt. Senkungen werden im Standard mit 45° oder 30° hergestellt. Die Spezifikationen hierfür können individuell festgelegt werden.

16.4. Fräsen und Ritzen Kombination

In einigen Fällen ist es sinnvoll, sowohl das Fräsen als auch das Ritzen zu kombinieren, um den besten Kompromiss zwischen Kosten und Materialverlust zu erreichen. Unsere CNC-Maschinen sind in der Lage, diese Kombinationen präzise umzusetzen.

16.5. Fasen

Für die einfachere Montage von Steckkontakten (z.B. PCI-Stecker) ist das Kantenfasen mit 45° oder 30° in unterschiedlicher Tiefe möglich.

16.6. Kantenmetallisierung

Um Flankenkontakte zu realisieren, können wir spezielle Kantenmetallisierungen (z.B. side plating oder castellated holes) herstellen. Dies ist besonders nützlich, wenn eine verbesserte elektrische Leitfähigkeit oder Schirmung erforderlich ist.

16.7. Semiflex

Bei der Semiflextechnik wird bei starren Leiterplatten ein definierter Bereich auf eine Restmaterialstärke heruntergefräst, um dort das Material biegen zu können. Es sind zwar im Vergleich zu Rigid-Flex-

Schaltungen / Starrflex nicht die gleichen Biegewinkel und -radien realisierbar, aber oftmals sind sie für die Anwendungen ausreichend. Die Semiflextechnik erlaubt abhängig von der Konstruktion drei- bis fünfmalige Biegen; die Leiterplatte muss somit statisch montiert werden.

Die wesentlichen Vorteile liegen in der günstigeren Herstellung und dem Verzicht auf die sonst notwendige Polyimidfolie, die wiederum aufgrund der hohen Feuchtigkeitsaufnahme eine thermische Vorbehandlung erfordern würde.

17. Bohr und Frästoleranzen

Durchkontaktierte Bohrungen (PTH)		Standard mm	Spezial mm	Technisches Limit mm
kleinster Bohrdurchmesser		0,35	0,15	0,10
größter Bohrdurchmesser		6,00	6,00	6,00
kleinster Abstand Bohrungstangenten zueinander*		0,20	0,15	0,075
kleinster Abstand Bohrungstangente zur Leiterbahn*	Außenlagen	0,20	0,15	0,075
	Innenlagen	0,25	0,20	0,10
Oberfläche Hot Air Leveling Verzinnung	Enddurchmesser <= 6 mm	+0,10/-0,05	+0,09/-0,06	+0,08/-0,05
	Toleranz Enddurchmesser > 6 mm gefräst	+0,14/-0,05	+0,10/-0,05	+0,08/-0,05
Oberfläche OSP/ENIG/chemisch Zinn/Silber	Enddurchmesser <= 6 mm	+0,10	+0,05/-0,05	+0,10
	Toleranz Enddurchmesser > 6 mm gefräst	+0,12/-0,02	+0,06/-0,06	+0,10

Lochlagetoleranz durchkontaktierter Löcher zu nicht durchkontaktierten Löchern und zur Kontur	+/-0,20	+/-0,07 **	+/-0,05 ***
--	---------	------------	-------------

Nicht durchkontaktierte Bohrungen (NPTH)		Standard mm	Spezial mm	Technisches Limit mm
kleinster Bohrdurchmesser		0,40	0,20	0,15
größter Bohrdurchmesser		6,40	6,40	6,40
kleinster Abstand Bohrungstangenten zueinander*		0,20	0,15	0,10
kleinster Abstand Bohrungstangente zur Leiterbahn*	Außenlagen	0,20	0,15	0,05
	Innenlagen	0,25	0,20	0,10
Toleranz	Enddurchmesser <= 2 mm	+/-0,05	+/-0,03	+/-0,03
	Enddurchmesser 2 <= 6 mm	+0,1/-0,05	+/-0,05	+/-0,03
	Enddurchmesser > 6 mm gefräst	+0,1/-0,05	+/-0,06	+/-0,04

*Bitte beachten Sie, dass durchkontaktierte Löcher in der Regel um 150 µ größer als der gewünschte Enddurchmesser gebohrt oder gefräst werden müssen, um die Metallisierung in der Bohrung zu kompensieren. Wenn Sie beispielsweise einen Enddurchmesser von 0,6 mm wünschen, beträgt der Durchmesser des eingesetzten Bohrers 0,75 mm, sofern keine abweichenden Toleranzen angegeben sind.

**abhängig von dem Lochdurchmesser

***vorausgesetzt, der Bohrvorgang wird in einer Maschinenaufspannung durchgeführt (tenting)



18. Lagerung

18.1. Luftfeuchtigkeit

Aufgrund des Epoxidharzes im Basismaterial der Leiterplatten, sind diese (insbesondere Multilayer) extrem hydrophil; d.h. das in der Luft gelöste Wassermolekül wird vom Material aufgenommen. Abhängig von den Umgebungskonditionen stellen sich in Materialien Feuchtigkeits-Gleichgewichte ein. Bei Lagerbedingungen von beispielsweise 20 Grad Celsius und 35 Prozent Luftfeuchtigkeit ist bereits nach 12 Tagen eine Feuchtigkeitsaufnahme von 0,12 Prozent (in Gewichtsprozent des Epoxidharzes) zu verzeichnen. Entscheidend hierbei ist, dass mit zunehmender Feuchtigkeitsaufnahme auch der Gasdruck innerhalb der Leiterplatte zunimmt, der durch die hohen Temperaturen im Lötvorgang entsteht. Überschreitet die Feuchtigkeitsaufnahme 0,17 Prozent, wird ein kritischer Gasdruck von 8 – 10 bar erreicht, bei dem es zu Delaminationen und Blasenbildung kommen kann. Epoxidharz kann bis zu 0,5 Gew.-% Feuchtigkeit aufnehmen.

Um sicherzustellen, dass der Feuchtigkeitsgehalt und der Haftverbund des Materials einwandfrei sind, führen wir nach Fertigstellung von Multilayer Leiterplatten einen Delaminationstest anhand eines Prüflings durch.

Zur weiteren Vermeidung bzw. Reduzierung der Feuchtigkeitsaufnahme empfehlen wir mit Nachdruck die folgenden Punkte:

Lagerumgebung

Die Lagerung von Leiterplatten sollte bis kurz vor der Lötung/Verarbeitung in konstant beheizter Umgebung unter kontrollierten Bedingungen erfolgen, vorzugsweise in abgedunkelten Räumen. Durch die klimatischen Veränderungen wird eine kontrollierte Lagerumgebung zunehmend wichtiger, um die Qualität der Leiterplatten zu bewahren. Luftfeuchtigkeit und Temperaturschwankungen sollten minimiert werden und die Verpackung der Leiterplatten vor einer Verarbeitung unbedingt auf Unversehrtheit geprüft werden.

Wir empfehlen Ihnen folgende Bedingungen in der Lagerumgebung dringend einzuhalten, um die Feuchtigkeitsaufnahme zu minimieren:

- Raumtemperatur 18- 21 °C
- relative Luftfeuchtigkeit < 50 %

Verpackung

Vorzugsweise erfolgt die Lagerung in geschlossenen Gebinden. Wir weisen darauf hin, dass ein sicherer Schutz vor Feuchtigkeit aufgrund der Wasserdampfdurchlässigkeit bei Polyethylen-Beuteln nicht besteht. Zur Verbesserung des Schutzes bieten wir daher auch an, die Leiterplatten im DRY-SHIELD-Schutzbeutel zu verpacken. Außerdem besteht die Möglichkeit diese zu vakuumieren und/oder mit Indikator und Trockenbeuteln zu versehen. Die Schutzfolien/-beutel sollten erst kurz vor der Lötung/Verarbeitung entfernt werden. Wir raten dazu, Restmengen wieder zu vakuumieren, zumindest aber mit Klebeband oder durch Einklemmen der Folie zwischen den Leiterplatten sicher zu verschließen und in Kisten zu lagern, um Luftzug zu vermeiden.

Lagerzeit

Die Lagerzeit von Leiterplatten sollte so kurz wie möglich sein und der Verbrauch nach der „First-in, First-out“ Regel erfolgen. Bei Lagerzeiten über 3 Monaten (ausgehend vom Zeitraum der Produktion) ist aufgrund unterschiedlichster Einflussparameter wie zum Beispiel Layout, Lagenaufbau etc. schwer vorzusehen, ab wann die Feuchtigkeitsaufnahme bereits zu Problemen bei der Lötung/Verarbeitung führen kann. Für den sicheren Nachweis der Lagerzeit können wir nach Vereinbarung auf den Leiterplatten eine Produktionsdatierung / Datecode aufbringen. Beachten Sie, dass die Lagerfähigkeit auch von der gewählten Endoberfläche abhängig ist. Orientierungswerte dazu finden Sie in Abschnitt Oberflächenveredelung dieses Dokuments. Bitte verbrauchen Sie geöffnete Pakete stets zuerst.

18.2. Löttest

Leiterplatten, die bereits mehrere Monate gelagert wurden und deren Transportumstände unklar sind (Warentransport durch Speditionen bei jedem Wetter und Temperatur), sollten vor einer weiteren Verarbeitung unbedingt einem Löttest unterzogen werden.

18.3. Vorkonditionierung/Trocknen

Um die aufgenommene Feuchtigkeit zu reduzieren, empfehlen wir unabhängig vom Ausgang eines Löttests das Trocknen der Ware in einem Ofen, wobei die Leiterplatten vorzugsweise vertikal in einem Rack getrocknet werden sollten. Sofern Sie die Leiterplatten bei uns mehr wie vier Monate einlagern (z.B. bei Bestellung auf Abruf), trocknen wir diese vor der Auslieferung auf jeden Fall.

Grad °C	Zeit der Trocknung
120	4 Stunden
110	6 Stunden
100	8 Stunden

Wenn die Trocknung in einem Vakuumofen bei 50 mbar möglich ist, kann die Temperatur um ca. 20 °C und die Zeit um ca. 30 Minuten reduziert werden. Dieses Verfahren ist bei der empfindlichen Oberfläche „chemisch Zinn“ vorteilhaft. Anschließend sollte anhand einiger Prüflinge festgestellt werden, ob das Lot noch ausreichend benetzt; anderenfalls muss das chemisch Zinn refreshed werden.

Nach der Trocknung sollte die Verarbeitung der Leiterplatten unverzüglich beginnen, da die hydrophilen Eigenschaften der Leiterplatte bestehen bleiben. Die Zeit zwischen den verschiedenen Lötprozessen muss möglichst kurzgehalten werden und sollte 8 Stunden nicht überschreiten. Nur so wird eine zu hohe Feuchtigkeitsaufnahme bei ungeschütztem Material vermieden. Getrocknete und auch getemperte Leiterplatten werden kurzfristig aus der Umgebungsluft eine Sättigung mit Wasser erfahren.

18.4. Produktspezifische Anforderungen

Bei den genannten Werten in den vorangehenden Abschnitten handelt es sich um Richtwerte.

Die Werte berücksichtigen nicht abschließend die unterschiedlichen Verarbeitungsparameter und produktspezifischen Eigenschaften der individuellen Leiterplatten und müssen vom jeweiligen Verarbeiter produktspezifisch festgestellt werden:

- die verschiedenen Lötverfahren und -profile verursachen unterschiedliche Belastungen. So ist die thermische Belastung in Konvektionsöfen nicht so hoch wie bei Infrarotöfen oder Dampfphasen.
- wenn die empfohlenen Lagerkonditionen nicht durchgängig eingehalten werden können, wird das Material mehr Wasser aufnehmen als es bei konstanten Konditionen möglich ist. Eine Verpackung in DRY-SHIELD-Schutzbeutel kann hier Abhilfe schaffen.
- wenn das Layout große, geschlossene Kupferflächen enthält, erfordert das Entweichen der Feuchtigkeit eine längere Zeit.
- der Multilayer Lagenaufbau. siehe: [10.2. Berücksichtigung physikalischer Einflussgrößen](#)